

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-334428

(43) 公開日 平成7年(1995)12月22日

(51) Int Cl.⁵

G 0 6 F 12/12

識別記号

片内整理番号

F I

技術表示箇所

D 7623-5B

審査請求 未請求 請求項の数4 O L (全 16 頁)

(21) 出願番号 特願平6-131754
 (22) 出願日 平成6年(1994)6月14日

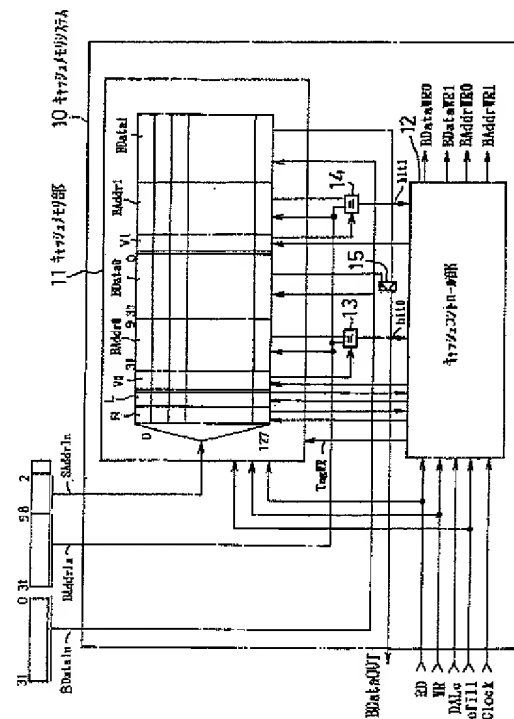
(71) 出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72) 発明者 宮森 高
 神奈川県川崎市幸区堀川町580番1号 株
 式会社東芝半導体システム技術センター内
 (74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 キャッシュメモリ

(57) 【要約】

【目的】 この発明は、同一セット内の少なくとも1つのブロックデータはロックできないようにして、キャッシュのリフィル制御を簡単化するとともに、構成の小型化ならびに性能低下を防止するキャッシュメモリを提供することを目的とする。

【構成】 この発明は、キャッシュメモリシステム10におけるキャッシュメモリ部11の同一セットの複数のブロックデータの内すべてのブロックデータがロックされないようにキャッシュコントロール部12によりロックビットL及びリプレースビットRを更新制御して、少なくとも1つのブロックデータのリフィルを可能とし、リフィル処理を容易に行うように構成されてなる。



【特許請求の範囲】

【請求項1】 タグアドレスを格納するタグアドレス記憶領域と、そのタグアドレスに対応するブロックデータを格納するデータ記憶領域と、リプレースを禁止するか否かをブロック毎に設定可能とするためのロック情報記憶領域と、を有し、

複数のブロックを1つのセットとして管理するセットアソシアティブ方式又はフルアソシアティブ方式のキャッシュメモリであって、

同一セット内のすべてのブロックがロックされないようにブロックのロック情報を同一セット内の他のブロックのロック情報と関連させて管理する制御回路を有することを特徴とするキャッシュメモリ。

【請求項2】 セットアソシアティブ方式又はフルアソシアティブ方式のキャッシュメモリにおいて、

同一セット内の複数のブロックデータから次にリプレースするブロックデータを指定する情報を格納するリプレース情報記憶領域と、同一セット内のブロックデータの置き換えを禁止してキャッシュ内に保持するように指定するロック情報を格納するロック情報記憶領域と、各ブロック毎にブロックデータが有効であるか否かを示すバリッド情報を格納するバリッド情報記憶領域と、各ブロック毎に格納されているブロックデータのブロックアドレスを格納するブロックアドレス記憶領域と、各ブロックのブロックデータを格納するブロックデータ記憶領域を備えたメモリ部と、

前記メモリ部のバリッド情報記憶領域に格納されたバリッド情報が有効なブロックにおける前記ブロックアドレス記憶領域に格納されたブロックアドレスと、キャッシュアクセスの際に外部から入力されるブロックアドレスとを比較して、両者が一致した時にヒット信号を出力する比較器と、

キャッシュアクセスの際に、アクセスされたセットの前記リプレース情報記憶領域に格納されたリプレース情報と、前記ロック情報記憶領域に格納されたロック情報と、比較器から出力されるヒット信号と、ブロックデータをキャッシュにロックすることを指示するオートロック信号の入力により、同一セット内のすべてのブロックがロックされないようにアクセス後のリプレース情報、ロック情報及びバリッド情報を更新制御するキャッシュコントロール回路とを有することを特徴とするキャッシュメモリ。

【請求項3】 前記キャッシュメモリは、2ウェイセットアソシアティブ方式のキャッシュメモリであって、前記メモリ部のリプレース情報記憶領域は、各セット毎に次にリプレースされるか否かのウェイを指定する1ビットの情報を格納し、

前記メモリ部のロック情報記憶領域は、各セット毎にセットのいずれかのウェイがロックされているか否かを指定する1ビットの情報を格納し、

前記キャッシュコントロール回路は、いずれかのウェイのブロックデータがロックされている場合は、前記リプレース情報記憶領域に格納されているリプレース情報を更新しないように制御することを特徴とする請求項2記載のキャッシュメモリ。

【請求項4】 前記メモリ部のロック情報記憶領域は、各ブロック毎にそのブロックがロックされているか否かを指定する1ビットの情報を格納し、

前記キャッシュコントロール回路は、同一セット内のすべてのブロックデータがロックされないように前記ロック情報記憶領域に格納された情報を更新制御することを特徴とする請求項2記載のキャッシュメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、計算機システムに用いられるキャッシュメモリに関し、特にセットアソシアティブ方式とフルアソシアティブ方式のキャッシュにおいて、キャッシュに格納された特定のブロックをキャッシュ内にロックして置き換え（リプレース）られないように制御するキャッシュメモリに関する。

【0002】

【従来の技術】 ロック機能を有するキャッシュを内蔵するマイクロプロセッサとしては、例えば富士通MB86930（参考文献「富士通半導体デバイス PROCESSOR MANUAL SPARClite ユーザーマニュアルMB86930」）がある。

【0003】 図12は従来のロック機能を有するキャッシュメモリの構成を示す図である。

【0004】 図12に示す従来例では、キャッシュサイズは2Kバイト、2ウェイセットアソシアティブ方式、ブロックサイズ16バイトという構成である。ウェイ数は2で、各ウェイのセット数は64である。ブロックサイズが16バイトで2Kバイトのキャッシュを構成している。

【0005】 個々のブロック毎に、1ビットのバリッドビットV0、V1、ブロックデータがロックされているか否かを示す1ビットのロックビットL0、L1、22ビットのブロックアドレスBAAddr0、BAAddr1、16バイト（128ビット）のブロックデータBDat0、BDat1が格納される。なお、リプレースするデータを示すリプレースビットは、図示しないがバリッドビット及びロックビットと同様にして設けられている。

【0006】 図13は図12に示す従来のキャッシュのアドレス構成を示す図である。

【0007】 図13において、32ビットのアドレスのうちビット9からビット4の6ビットはセットアドレスであり、キャッシュのセットを指定する。指定されたセットのBAAddr0及びBAAddr1とアドレスのビット31からビット10のブロックアドレスが比較され、

一致するとヒットとなり、不一致の場合はミスヒットとなる。アドレスのビット3から0はブロック内のアドレスを示す。

【0008】上記従来例では、全ブロックに対応してロックビットがあるので、同一セットの2つのブロックが同時にロックされていることがある。図12に示す構成では、セット番号2の2つのブロックがともにロック（ロックビットL0とL1がともに1）されている。また、ウェイ0にはブロックアドレスAのデータが、ウェイ1にはブロックアドレスCのデータが格納されているとする。このような状態において、セットアドレスが2でブロックアドレスがAでもCでもないデータがアクセスされると、キャッシュミスが発生する。この場合は、両方のウェイがロックされているのでリプレースは行われず、このため、ミスしたデータはキャッシュに置くことなく処理されなければならない。

【0009】

【発明が解決しようとする課題】以上説明したように、従来のキャッシュメモリでは、同一のセットの両方のウェイがロックされる場合があり、このような場合には、そのセットアドレスのデータはキャッシュに置くことができなくなる。このように、ロックビットの状態、すなわちデータがロックされているか否かによってキャッシュのリプレースの制御が異なり、制御が複雑になるといふ不具合が生じていた。

【0010】また、各ウェイごとにロックビットが必要となり、ハードウェアが大型化するという不具合を招いていた。

【0011】さらに、キャッシュシステムによっては、論理的なブロックサイズをプログラムで変更できるものがある。このようなキャッシュシステムでは、論理的なブロックサイズが拡大された際に、拡大されたブロックの一部が上記のようにロックされてキャッシュに置くことができないことがある。このような場合に、キャッシュに置けなかったデータに対するキャッシュミスヒットの度に、再度拡大されたブロックサイズ全体がキャッシュにリフィル（置き換え処理）されることになる。

【0012】このため、ミスヒットしたデータ以外でもリフィル処理されるため、無駄なリフィルサイクルが必要となり、そのための処理時間だけ性能が低下してしまうという欠点があった。

【0013】そこで、本発明は、上記に鑑みてなされたものである。その目的とするところは、同一セット内の少なくとも1つのブロックデータはロックできないようにして、キャッシュのリフィル制御を簡単化するとともに、構成の小型化ならびに性能低下を防止するキャッシュメモリを提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、タグアドレスを格納するタ

グアドレス記憶領域と、そのタグアドレスに対応するブロックデータを格納するデータ記憶領域と、リプレースを禁止するか否かをブロック毎に設定可能とするためのロック情報記憶領域とを有し、複数のブロックを1つのセットとして管理するセットアソシアティブ方式又はフルアソシアティブ方式のキャッシュメモリであって、同一セット内のすべてのブロックがロックされないようにブロックのロック情報を同一セット内の他のブロックのロック情報と関連させて管理する制御回路を有して構成される。

【0015】請求項2記載の発明は、セットアソシアティブ方式又はフルアソシアティブ方式のキャッシュメモリにおいて、同一セット内の複数のブロックデータから次にリプレースするブロックデータを指定する情報を格納するリプレース情報記憶領域と、同一セット内のブロックデータの置き換えを禁止してキャッシュ内に保持するように指定するロック情報を格納するロック情報記憶領域と、各ブロック毎にブロックデータが有効であるか否かを示すバリッド情報を格納するバリッド情報記憶領域と、各ブロック毎に格納されているブロックデータのブロックアドレスを格納するブロックアドレス記憶領域と、各ブロックのブロックデータを格納するブロックデータ記憶領域を備えたメモリ部と、前記メモリ部のバリッド情報記憶領域に格納されたバリッド情報が有効なブロックにおける前記ブロックアドレス記憶領域に格納されたブロックアドレスと、キャッシュアクセスの際に外部から入力されるブロックアドレスとを比較して、両者が一致した時にヒット信号を出力する比較器と、キャッシュアクセスの際に、アクセスされたセットの前記リプレース情報記憶領域に格納されたリプレース情報と、前記ロック情報記憶領域に格納されたロック情報と、比較器から出力されるヒット信号と、ブロックデータをキャッシュにロックすることを指示するオートロック信号の入力により、同一セット内のすべてのブロックがロックされないようにアクセス後のリプレース情報、ロック情報及びバリッド情報を更新制御するキャッシュコントロール回路とから構成される。

【0016】請求項3記載の発明は、請求項2記載の発明において、前記キャッシュメモリは、2ウェイセットアソシアティブ方式のキャッシュメモリであって、前記メモリ部のリプレース情報記憶領域は、各セット毎に次にリプレースされるか否かのウェイを指定する1ビットの情報を格納し、前記メモリ部のロック情報記憶領域は、各セット毎にセットのいずれかのウェイがロックされているか否かを指定する1ビットの情報を格納し、前記キャッシュコントロール回路は、いずれかのウェイのブロックデータがロックされている場合は、前記リプレース情報記憶領域に格納されているリプレース情報を更新しないように制御してなる。

【0017】請求項4記載の発明は、請求項2記載の発

明において、前記メモリ部のロック情報記憶領域は、各ブロック毎にそのブロックがロックされているか否かを指定する1ビットの情報を格納し、前記キャッシュコントロール回路は、同一セット内のすべてのブロックデータがロックされないように前記ロック情報記憶領域に格納された情報を更新制御してなる。

【0018】

【作用】上記構成において、この発明は、同一セットの複数のブロックデータの内のすべてのブロックデータがロックされないようにして、少なくとも1つのブロックデータのリフィルを可能とし、リフィル処理を容易に行うようにしている。

【0019】

【実施例】以下、図面を用いてこの発明の実施例を説明する。

【0020】図1は請求項1、2又は3記載の発明の一実施例に係わるキャッシュメモリシステムの構成を示す図である。

【0021】図1において、キャッシュメモリシステム10は、キャッシュメモリ部11、キャッシュコントローラ部12、比較器13、14及びセクタ15を備えて構成されている。

【0022】キャッシュメモリシステム10は、外部よりクロックclock、キャッシュアドレスBAAddrInとSAAddrIn、リード信号RD、ライト信号WR、リフィル信号Refillによってアクセスされる。

【0023】外部からのリードアクセスの時は、リード信号RDがアクティブ（例えば“0”）になり、キャッシュアドレスに対応したデータがキャッシュにヒットすればその値がブロックデータ出力BDatOutに出力される。ライトアクセスの時は、ライト信号WRがアクティブ（0）になり、キャッシュアドレスがヒットした時は、BDatInのデータがキャッシュに格納される。リフィルアクセスの時は、Refill信号がアクティブ（0）になり、BDatInのデータがキャッシュに格納される。オートロック信号DALcは、データをキャッシュへロックするように指示する信号である。オートロック信号が有効（例えば“1”）のときにアクセスされたキャッシュブロックはキャッシュにロックされる。

【0024】次に、キャッシュメモリシステム10内の個々のブロックを説明する。

【0025】キャッシュメモリ部11は、キャッシュサイズが1Kバイト、2ウェイセットアソシアティブ方式、ブロックサイズは4バイトである。したがってセット数は128である。アドレスが32ビットの場合は8ビット目から2ビット目の7ビットがセットアドレスとなり、アドレスの31ビット目から9ビット目の23ビットがブロックアドレスとなる。

【0026】また、キャッシュメモリ部11は、セット毎にリプレースビットR、ロックビットL、ウェイ0のバリッドビットV0、ウェイ0のブロックアドレスBAAddr0、ウェイ0のブロックデータBDat0、ウェイ1のバリッドビットV1、ウェイ1のブロックアドレスBAAddr1、ウェイ1のブロックデータBDat1からなる。すなわち、128組のバリッドビットV0、ブロックアドレスBAAddr0、ブロックデータBDat0によりウェイ0が構成され、128組のバリッドビットV1、ブロックアドレスBAAddr1、ブロックデータBDat1によりウェイ1が構成されており、ウェイ0の1組のバリッドビットV0、ブロックアドレスBAAddr0、ブロックデータBDat0及びウェイ1の1組のバリッドビットV1、ブロックアドレスBAAddr1、ブロックデータBDat1に対して1つのリプレースビットRならびにロックビットLが対応して1つのセットを構成している。

【0027】リプレースビットRは、次にリプレースされるウェイを示す1ビット情報である。リプレースビットRが例えば“0”の時は次にウェイ0がリプレースされ、“1”の時はウェイ1がリプレースされる。

【0028】ロックビットLは、セットのいずれのウェイがロックされているかを示す1ビットの情報である。ロックビットLが例えば“0”の時はウェイ0、1ともにロックされていない。ロックビットLが“1”の時は、リプレースビットRを反転したウェイが常にキャッシュに置かれてロックされる、リプレースアルゴリズムとして例えばLRU方式を採ると、ロックビットLが“0”でロックされていない時はリプレースビットRは最近にアクセスされたのと反対のウェイを示す。ロックビットLが“1”で一方のウェイがロックされている時は、リプレースビットRは常にリプレース可能なウェイを示す。

【0029】ウェイ0のバリッドビットV0、ウェイ1のバリッドビットV1は、それぞれウェイ0、ウェイ1に有効なデータが置かれているか否かを示す1ビットの情報であり、初期化後にすべて“1”となる。ウェイ0のバリッドビットV0、ウェイ1のバリッドビットV1は例えば“1”の時に有効であることを示す。

【0030】ブロックアドレスBAAddr0、BAAddr1は、それぞれウェイ0、ウェイ1に格納されているブロックのブロックアドレスを示す23ビットの情報である。ウェイ0のブロックデータBDat0、ウェイ1のブロックデータBDat1は、それぞれ、ウェイ0、ウェイ1に格納されている4バイト（32ビット）のブロックデータである。

【0031】キャッシュコントローラ部12は、キャッシュメモリシステム10の外部から入力されるリード信号RD、ライト信号WR、リフィル信号Refill、クロック信号clock、オートロック信号DALc

と、キャッシュメモリ部11から入力されるリプレースビットR、ロックビットL、ウェイ0のバリッドビットV0、ウェイ1のバリッドビットV1、ヒット信号hit0、hit1に基づいてキャッシュメモリ部11を制御する。

【0032】比較器13は、アクセスされたセットのウェイ0のバリッドビットV0が“1”で有効な時に、ブロックアドレス入力BAAddrInとウェイ0のブロックアドレスBAAddr0とを比較して一致した時にヒット信号hit0を有効(1)にする。

【0033】比較器14は、アクセスされたセットのウェイ1のバリッドビットV1が“1”で有効な時に、ブロックアドレス入力BAAddrInとウェイ1のブロックアドレスBAAddr1とを比較して一致した時にヒット信号hit1を有効(1)にする。

【0034】セレクト15は、ヒット信号hit0とhit1に基づいてヒットした方のブロックデータをキャッシュメモリシステム10の外部へ出力する。hit0が有効の時にウェイ0のブロックデータBData0を、hit1が有効の時にウェイ1のブロックデータBData1を出力する。

【0035】次に、キャッシュアクセスによるキャッシュメモリ部11の状態遷移を図2を参照して説明する。

【0036】キャッシュのアクセスには、キャッシュの読み出し(リード)、キャッシュへの書き込み(ライト)と、キャッシュミスヒット後の主記憶からのデータ読み込み(リフィル)がある。

【0037】ヒット時のキャッシュメモリ部11の状態遷移を説明する。

【0038】図2において、リードヒット、ライトヒット、リフィルヒットの場合は、同じようにして状態遷移する。

【0039】まず、オートロック信号DALcが無効(0)でかつロックビットLが無効(0)の時は、キャッシュへヒットアクセスすると、リプレースビットRをヒットしなかったウェイにする。また、ロックビットLは無効(0)のままとする。

【0040】次に、オートロック信号DALcが無効(0)でかつロックビットLが有効(1)の時は、キャッシュへヒットアクセスすると、リプレースビットRを変化させない。また、ロックビットLも有効(1)のままである。この場合は、一方のウェイのブロックはロックされてリプレースできないように、ヒットしたウェイとは無関係にリプレースビットRは常にロックされていないブロックのウェイを示す。

【0041】次に、オートロック信号DALcが有効(1)でかつロックビットLが無効(0)の時は、キャッシュへヒットアクセスすると、リプレースビットRはヒットしなかったウェイとし、ロックビットLを有効(1)にする。これにより、ヒットしたブロックをキャ

ッシュにロックする。

【0042】次に、オートロック信号DALcが有効(1)でかつロックビットLが有効(1)の時は、キャッシュへヒットアクセスすると、リプレースビットRを変化させない。ロックビットLは有効(1)のままにする。この場合は、すでにロックされているブロックのデータを優先してロックし続ける。オートロック信号DALcが有効の時のアクセスであるが、この時ヒットしたブロックはキャッシュにはロックされない。

【0043】次に、リフィルミス時のキャッシュメモリ部11の状態遷移を図3を参照して説明する。

【0044】図3において、オートロック信号DALcが無効(0)でかつロックビットLが無効(0)の時は、リフィルアクセスがミスすると、リプレースビットRで指定されるウェイをリプレースするのでRビットを反転する。また、ロックビットLは無効(0)のままとし、リプレースしたウェイのバリッドビットV0あるいはV1をセットする。

【0045】次に、オートロック信号DALcが無効(0)でかつロックビットLが有効(1)の時は、リフィルアクセスがミスすると、リプレースビットRは変化させない。また、ロックビットLも有効(1)のままである。この場合は、一方のウェイのブロックはロックされてリプレースはできないようになっているので、リプレースビットRは常にロックされていないブロックのウェイを示す。また、リプレースしたウェイのバリッドビットV0あるいはV1をセットする。

【0046】次に、オートロック信号DALcが有効(1)でかつロックビットLが無効(0)の時は、リフィルアクセスがミスすると、リプレースビットRで指定されるウェイをリプレースするのでRビットを反転する。オートロック信号DALcが有効なのでロックビットLを有効(1)にする。これにより、リプレースしたウェイのブロックをキャッシュにロックする。また、リプレースしたウェイのバリッドビットV0あるいはV1をセットする。

【0047】次に、オートロック信号DALcが有効(1)でかつロックビットLが有効(1)の時は、リフィルアクセスがミスすると、リプレースビットRを変化させない。ロックビットLは有効(1)のままとする。この場合は、すでにロックされているブロックのデータを優先してロックし続ける。オートロック信号DALcが有効の時のアクセスであるが、この時リプレースしたブロックはキャッシュにはロックされない。また、リプレースしたウェイのバリッドビットV0あるいはV1をセットする。

【0048】リードミス、ライトミスの場合は、キャッシュメモリ部11の状態遷移はなく、前の状態をそのまま保持している。

【0049】次に、リードヒット時の動作タイミングを

図4の動作タイミングチャートを参照して説明する。

【0050】図4において、クロックclockが“1”の時に、セットアドレス入力SAddrInにより対応するセットのロックビットLold（それまでの状態のロックビットの値をLoldとし、次の状態のロックビットの値をLnewとする）、リプレースビットRold（それまでの状態のリプレースビットの値をRoldとし、次の状態のリプレースビットの値をRnewとする）、ウェイ0のバリッドビットV0、ウェイ1のバリッドビットV1、ウェイ0のブロックアドレスBAddr0、ウェイ1のブロックアドレスBAddr1が読み出される。比較器13と比較器14にて、ブロックアドレス入力BAddrInとBAddr0及びBAddr1が比較され、ヒットしたウェイのヒット信号hit0あるいはhit1がアクティブ（1）になる。

【0051】キャッシュコントローラ部12は、クロックclockの立ち下がりから、次の状態のロックビットLnewとリプレースビットRnewを出力し、キャッシュへの書き込みを制御する信号TagWR信号をアクティブ（0）にする。また、ヒットしたデータをBD

ataOutへ出力する。次のクロックの立ち上がりでTagWR信号がインアクティブ（1）となり、その立ち上がりでロックビットLnewとリプレースビットRnewの値がヒットしてアクセスされているセットのリプレースビットR、ロックビットLに格納される。

【0052】次に、ライトヒット時の動作タイミングを図5に示す動作タイミングチャートを参照して説明する。

【0053】図5において、クロックclockが“1”の時に、セットアドレス入力SAddrInにより対応するセットのロックビットLold、リプレース

ビットRold、ウェイ0のバリッドビットV0、ウェイ1のバリッドビットV1、ウェイ0のブロックアドレスBAddr0、ウェイ1のブロックアドレスBAddr1が読み出される。比較器13と比較器14にて、ブロックアドレス入力BAddrInとBAddr0及びBAddr1が比較され、ヒットしたウェイのヒット信号hit0あるいはhit1がアクティブ（1）になる。

【0054】キャッシュコントローラ部12は、クロックclockの立ち下がりから次の状態のロックビットLnewとリプレースビットRnewを出力し、キャッシュへの書き込みを制御するTagWR信号をアクティブ（0）にする。また、データ入力BDataInをヒットしたキャッシュブロックへ書き込むため、制御信号BDataWR0あるいはBDataWR1をアクティブ（0）にする。

【0055】次のクロックの立ち上がりでTagWR信号と、制御信号BDataWR0あるいはBDataWR1がインアクティブ（1）となる。その立ち上がりで

ロックビットLnewとリプレースビットRnewの値がヒットしてアクセスされているセットのリプレースビットR、ロックビットLに格納される。また、制御信号BDataWR0あるいはBDataWR1の立ち上がりでブロックデータ入力BDataInがヒットしたキャッシュのブロックデータBData0あるいはBData1に格納される。

【0056】次に、リフィルヒット時の動作タイミングを図6の動作タイミングチャートを参照して説明する。

【0057】クロックclockが“1”の時に、セットアドレス入力SAddrInにより対応するセットのロックビットLold、リプレースビットRold、ウェイ0のバリッドビットV0、ウェイ1のバリッドビットV1、ウェイ0のブロックアドレスBAddr0、ウェイ1のブロックアドレスBAddr1が読み出される。比較器13と比較器14にて、ブロックアドレス入力BAddrInとBAddr0及びBAddr1が比較され、ヒットしたウェイのヒット信号hit0あるいはhit1がアクティブ（1）となる。

【0058】キャッシュコントローラ部12は、クロックclockの立ち下がりから、次の状態のロックビットLnewとリプレースビットRnewを出力し、キャッシュへの書き込みを制御するTagWR信号をアクティブ（0）にする。また、データ入力BDataInをヒットしたキャッシュブロックへ書き込むため、制御信号BDataWR0あるいはBDataWR1をアクティブ（0）にする。

【0059】次のクロックの立ち上がりでTagWR信号と、制御信号BDataWR0あるいはBDataWR1がインアクティブ（1）となる。その立ち上がりでロックビットLnewとリプレースビットRnewの値がヒットしてアクセスされているセットのリプレースビットR、ロックビットLに格納される。また、制御信号BDataWR0あるいはBDataWR1の立ち上がりでブロックデータ入力BDataInがヒットしたキャッシュのブロックデータBData0あるいはBData1に格納される。

【0060】次に、リフィルミス時の動作タイミングを図7の動作タイミングチャートを参照して説明する。

【0061】クロックclockが“1”の時に、セットアドレス入力SAddrInにより対応するセットのロックビットLold、リプレースビットRold、ウェイ0のバリッドビットV0、ウェイ1のバリッドビットV1、ウェイ0のブロックアドレスBAddr0、ウェイ1のブロックアドレスBAddr1が読み出される。比較器13と比較器14にて、ブロックアドレス入力BAddrInとBAddr0及びBAddr1が比較され、ヒットしたウェイのヒット信号hit0とhit1がともにインアクティブ（0）になる。

【0062】キャッシュコントローラ部12は、クロック

ク clock の立ち下がりから、次の状態のロックビット Lnew とリプレースビット Rnew を出力し、キャッシュへの書き込みを制御する TagWR 信号をアクティブ (0) にする。リプレースビット Rold のウェイトにリフィルデータ入力 BDataIn を書き込み、バリッドビット V0 あるいは V1 をセットするため、制御信号 BDataWR0 あるいは BDataWR1 をアクティブ (0) にし、バリッドビットのセット信号 V0set あるいは V1set をアクティブ (0) にする。

【0063】 次のクロックの立ち上がりで TagWR 信号、制御信号 BDataWR0 あるいは BDataWR1 と、バリッドビットのセット信号 V0set あるいは V1set がインアクティブ (1) となる。その立ち上がりエッジでロックビット Lnew とリプレースビット Rnew の値がアクセスされているセットのリプレースビット R、ロックビット L に格納される。

【0064】 また、制御信号 BDataWR0 あるいは制御信号 BDataWR1 の立ち上がりでブロックデータ入力 BDataIn がリプレースされるキャッシュのブロックデータ BData0 あるいは BData1 に格納される。バリッドビットのセット信号 V0set あるいは V1set の立ち上がりで、バリッドビット V0 あるいは V1 が “1” にセットされる。

【0065】 次に、図 8 を用いてキャッシュメモリ部 11 の内部構成を説明する。

【0066】 図 8 において、キャッシュメモリ部 11 は、アドレスデコーダ 20 と RAM セル 21 から構成される。

【0067】 キャッシュメモリ部 11 は、セットアドレス入力 SAddrIn とリード信号 RD、ライト信号 WR とリフィル信号 Refill を入力する。リード信号 RD、ライト信号 WR、リフィル信号 Refill のいずれかがアクティブ (0) のとき、ゲート 22 は出力信号をアクティブにする。ゲート 22 の出力信号がアクティブになると、アドレスデコーダ 20 は、セットアドレス入力 SAddrIn をデコードして対応するセットのワード線をアクティブにする。

【0068】 RAM セル 21 は独立して書き込みができる、リプレースビット R セル 22、ロックビット L セル 23、ウェイ 0 のバリッドビット V0 セル 24、ウェイ 0 のブロックアドレス BAddr0 セル 25、ウェイ 0 のブロックデータ BData0 セル 26、ウェイ 1 のバリッドビット V1 セル 27、ウェイ 1 のブロックアドレス BAddr1 セル 28、ウェイ 1 のブロックデータ BData1 セル 29 から構成されている。

【0069】 リプレースビット R セル 22 は、128 ワード×1 ビットの RAM セルで構成され、アドレスデコーダ 20 からワード線が有効な時に、TagWR 信号が “1” ならば対応するワードのデータをリプレースビット Rold に出力する。また、TagWR 信号の立ち上

がりでリプレースビット Rnew 入力に対応するワードに格納する。

【0070】 ロックビット L セル 23 は、128 ワード×1 ビットの RAM セルで構成され、アドレスデコーダ 20 からワード線が有効な時に、TagWR 信号が “1” ならば対応するワードのデータをロックビット Lold に出力する。また、TagWR 信号の立ち上がりでロックビット Lnew 入力に対応するワードに格納する。

【0071】 ウェイ 0 のバリッドビット V0 セル 24 は、128 ワード×1 ビットの RAM セルで構成され、アドレスデコーダ 20 からワード線が有効な時に、バリッドビットのセット信号 V0set が “1” ならば対応するワードのデータを V0 に出力する。また、バリッドビットのセット信号 V0set の立ち上がりで入力 “1” を対応するワードに格納する。

【0072】 ウェイ 0 のブロックアドレス BAddr0 セル 25 は、128 ワード×23 ビットの RAM セルで構成され、アドレスデコーダ 20 からワード線が有効な時に、BAddrWr0 信号が “1” ならば対応するワードのデータを BAddr0 に出力する。また、BAddrWr0 信号の立ち上がりで BAddrIn 入力に対応するワードに格納する。

【0073】 ウェイ 0 のブロックデータ BData0 セル 26 は、128 ワード×32 ビットの RAM セルで構成され、アドレスデコーダ 20 からワード線が有効な時に、BDataWR0 信号が “1” ならば対応するワードのデータを BData0 に出力する。また、BDataWR0 信号の立ち上がりで BDataIn 入力に対応するワードに格納する。

【0074】 ウェイ 1 のバリッドビット V1 セル 27 は、128 ワード×1 ビットの RAM セルで構成され、アドレスデコーダ 20 からワード線が有効な時に、V1set 信号が “1” ならば対応するワードのデータを V1 に出力する。また、V1set 信号の立ち上がりで入力 “1” を対応するワードに格納する。

【0075】 ウェイ 1 のブロックアドレス BAddr1 セル 28 は、128 ワード×23 ビットの RAM セルで構成され、アドレスデコーダ 20 からワード線が有効な時に、BAddrWr1 信号が “1” ならば対応するワードのデータを BAddr1 に出力する。また、BAddrWr1 信号の立ち上がりで BAddrIn 入力に対応するワードに格納する。

【0076】 ウェイ 1 のブロックデータ BData1 セル 29 は、128 ワード×32 ビットの RAM セルで構成され、アドレスデコーダ 20 からワード線が有効な時に、BDataWR1 信号が “1” ならば対応するワードのデータを BData1 に出力する。また、BDataWR1 信号の立ち上がりで BDataIn 入力に対応するワードに格納する。

【0077】次に、図9を用いてキャッシュコントローラ部12の内部構成を説明する。

【0078】図9において、キャッシュコントローラ部12は、組み合わせ回路30とフリップフロップ31、32から構成される。

【0079】組み合わせ回路30は、オートロック信号DAIc、キャッシュメモリ部11からの出力のロックビットLold、リプレースビットRold、比較器13からの出力のヒット信号hit0、比較器14からの出力のヒット信号hit1、リード信号RD、リード信号RD、リフィル信号Refillを入力として、キャッシュタグの新しい値であるロックビットLnew'、リプレースビットRnew'とキャッシュの更新のための制御信号であるTagWR'信号、V0set'信号、V1set'信号、BDataWR0'信号、BDataWR1'信号、BAddrWR0'信号、BAddrWR1'信号を出力する。

【0080】ロックビットLnew'とリプレースビットRnew'はフリップフロップ31でクロックclockの立ち下がりでラッチされて、キャッシュメモリ部11に出力される。TagWR'信号、V0set'信号、V1set'信号、BDataWR0'信号、BDataWR1'信号、BAddrWR0'信号、BAddrWR1'信号はクロックclockの後半(0の時)のみアクティブとなるように、プリセット付きのフリップフロップ32にクロックclockの立ち下がりでラッチされる。また、クロックclockの前半(1の時)ではプリセットされ出力はインアクティブ(1)となる。

【0081】次に、図10を用いてキャッシュコントローラ部12の組み合わせ回路30の構成を説明する。

【0082】組み合わせ回路30の論理は、図2に示すヒット時のキャッシュメモリ部11の状態遷移と図3に示すリフィルミス時のキャッシュメモリ部11の状態遷移を表すことになる。したがって、論理式で表すと以下のようになる。

```

【0083】Lnew=!( ( (!WR || !RD) && (hit0 || hit1)) ||
!Refill) && !DAIc && !Lold);
Rnew=(!Refill && !hit0 &&
!hit1 && !Lold) ? !Rold :
( (!WR || !RD || !Refill)
&& hit0 && !Lold) ? 1 :
( (!WR || !RD || !Refill)
&& hit1 && !Lold) ? 0 : Rold;
TagWR=!( ( (!WR || !RD || !Refill) && (hit0 || hit1)
|| (!Refill && !hit0 && !h

```

```

it1);
V0set=!( (!Refill && !hit0 && !hit1) && !Rold);
V1set=!( (!Refill && !hit0 && !hit1) && Rold);
BDataWR0=!( ( (!Refill || !WR) && hit0) || (!Refill
&& !hit0 && !hit1) && !Rold);
BDataWR1=!( ( (!Refill || !WR) && hit1) || (!Refill
&& !hit0 && !hit1) && Rold);
BAddrWR0=!( (!Refill && !hit0 && !hit1) && !Rold);
BAddrWR1=!( (!Refill && !hit0 && !hit1) && Rold);
ここで、「!」は論理反転、「||」は論理和、「&&」は論理積を表す。また、「(論理式)? 式A : 式B」は論理式が真のとき式A、偽のとき式Bとなるセレクトを意味する。

```

【0084】この論理式を、論理回路を用いて構成すると、例えば図10に示すように構成される。

【0085】以上説明したように、上記実施例では、少なくとも1つのウェイはロックされないで、キャッシュに置くことができない領域がなくなる。したがって、ロックビットの状態によらずキャッシュミス時に必ずリプレースを行うのでキャッシュの制御が容易となる。

【0086】また、キャッシュの中に必要なロックビットが減少するので、ハードウェアを削減できる。例えば実施例のキャッシュの構成では、従来の方法では各ウェイ毎に必要となり256ビットが必要であったが、上記実施例では半分の128ビットでよい。

【0087】さらに、論理的なブロックサイズをプログラムで変更できるキャッシュシステムにおいては、論理的なブロックサイズを大きくしても、拡大したブロックの一部がロック機能によってキャッシュに置けないという状態がなくなり、キャッシュミス時のリプレースのオーバーヘッドを削減することができる。

【0088】図11は請求項1、2又は4記載の発明の一実施例に係わるキャッシュメモリシステムの構成を示す図である。

【0089】図11に示す実施例は4ウェイセットアソシアティブ方式の構成を示すものである。

【0090】この実施例のキャッシュメモリシステム40では、キャッシュメモリ部41の各ウェイ(ウェイ0～ウェイ3)毎にそのウェイがロックされているかを示すロックビットLnとリプレースの優先度を示すリプレ

ースフィールドR_n、ブロックデータの有効を示すバリッドビットV_nを含んでいる。キャッシュコントローラ部42は、ロックビットL_nがセットされているブロックはリプレースされないように次にリプレースするブロックを指定する。また、セットのうち3つのセットがロックされているときは残りのセットがロックされないように、ロックビットの更新を制御する。すなわち、キャッシュは少なくとも1つのセットはロックされないようにロックビットに基づいて制御される。

【0091】以上説明した実施例では、キャッシュサイズが1Kバイトのものを例に説明したが、本発明はこの構成に限定されるものではなく、キャッシュサイズが512バイト、2Kバイト、あるいはそれ以外のサイズのキャッシュでも適用できる。

【0092】また、ブロックサイズが4バイトのものを例に説明したが、本発明はこの構成に限定されるものではなく、ブロックサイズが16バイト、32バイト、あるいはそれ以外のサイズのキャッシュでも適用できる。

【0093】さらに、2ウェイと4ウェイセットアソシアティブ方式のものを例に説明したが、本発明はこの構成に限定されるものではなく、8ウェイ、あるいはそれ以外のウェイ数のキャッシュでも適用でき、フルアソシアティブ方式のキャッシュでも適用できる。なお、フルアソシアティブ方式では、セットアソシアティブ方式に対して単一のセットと見なし、それぞれのブロック毎にロック情報ならびにリプレース情報が設定されている。

【0094】また、リプレースビットRは次にリプレースされるウェイを示しているが、逆にリプレースされないウェイを示すようにしてもよい。

【0095】さらにまた、リプレースアルゴリズムとしてLRU方式について説明したが、本発明はこの構成に限定されるものではなく、ランダム、FIFO(First In First Out)など、他のリプレースアルゴリズムに対しても適用できる。

【0096】

【発明の効果】以上説明したように、請求項1、2、3又は4記載の発明によれば、同一セットの複数のブロックデータの内すべてのブロックデータがロックされないようにロック情報及びリプレース情報を更新制御するようにしたので、少なくとも1つのブロックデータはロックされずリフィル処理が可能となる。これにより、ミスヒット時のリフィル処理を容易かつ迅速に行うことができる。また、プログラムによって論理的なブロックサイズを変更可能なシステムにおいては、拡大されたブロッ

クの一部分がロックされてリフィルされないということは回避され、キャッシュミス時のリフィル処理のオーバーヘッドを削減することができる。

【0097】一方、請求項1、2又は3記載の発明によれば、上記効果に加えて、ロック情報が削減されるため、構成の小型化を図ることができる。

【図面の簡単な説明】

【図1】請求項1、2又は3記載の発明の一実施例に係わるキャッシュメモリの構成を示す図である。

【図2】図1に示す実施例におけるヒット時のキャッシュメモリ部の状態遷移を示す図である。

【図3】図1に示す実施例におけるリフィルミス時のキャッシュメモリ部の状態遷移を示す図である。

【図4】図1に示す実施例におけるリードヒット時の動作タイミングを示す図である。

【図5】図1に示す実施例におけるライトヒット時の動作タイミングを示す図である。

【図6】図1に示す実施例におけるリフィルヒット時の動作タイミングを示す図である。

【図7】図1に示す実施例におけるリフィルミス時の動作タイミングを示す図である。

【図8】図1に示す実施例におけるキャッシュメモリ部の回路構成を示す図である。

【図9】図1に示す実施例におけるキャッシュコントローラ部の回路構成を示す図である。

【図10】図1に示す実施例におけるキャッシュコントローラ部の組み合わせ回路の回路構成を示す図である。

【図11】請求項1、2又は4記載の発明の一実施例に係わるキャッシュメモリの構成を示す図である。

【図12】従来のキャッシュメモリの構成を示す図である。

【図13】図12に示す従来のキャッシュメモリのアドレス構成を示す図である。

【符号の説明】

10、40 キャッシュメモリシステム

11、41 キャッシュメモリ部

12、42 キャッシュコントローラ部

13、14 比較器

15 セレクタ

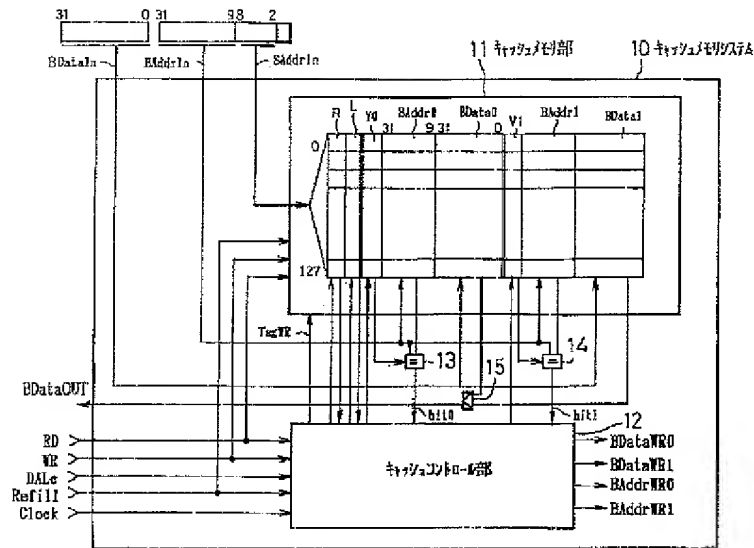
20 アドレスデコーダ

21 RAMセル

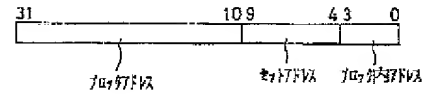
30 組み合わせ回路

31、32 フリップフロップ

【図 1】



【図 13】



【図 2】

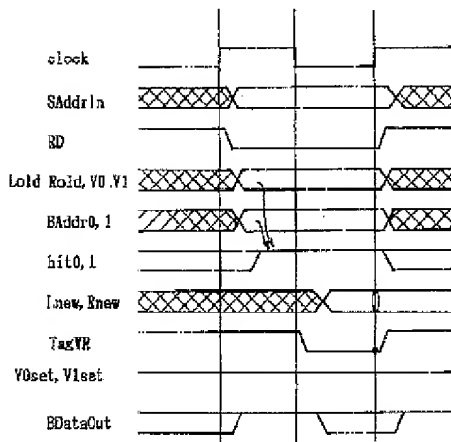
7ビット前					7ビット後				動作	
DALc	L	R	hit0	hit1	L	R	V0	V1		
0	0	*	1	0	0	1	V0	V1	オートロック無効(DALc=0)なので、LEビットは0のまま、REビットはヒットしなかったクエになる	
			0	1		0				
0	1	0	1	0	1	0			ロックされたセットへのヒットのとき、REビットは変化しない	
		1	0	1		1				
1	0	*	1	0	1	1			オートロック有効(DALc=1)のとき、まだロックされていないデータが既にキャッシュにあるときは、LEビットをセットし、REビットをヒットしなかったクエにする。	
			0	1		0				
1	1	0	1	0	1	0			既にロックされたセットへ、オートロック有効でPクエしてヒットした場合、この7ビットのデータはロックされないため、REビットは変化しない	
		1	0	1		1				

*) don't care

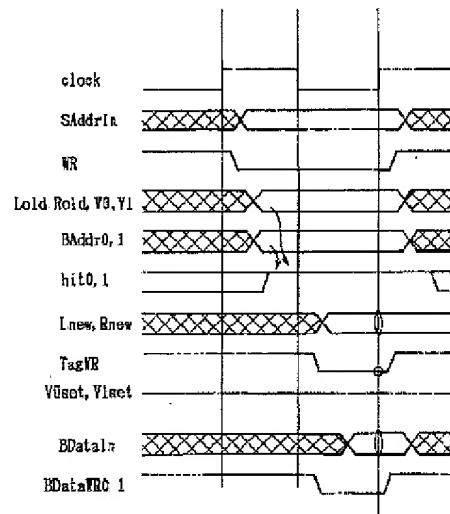
【図3】

7クロック前			hit0	hit1	7クロック後				動作
DALc	L	R			L	R	V0	V1	
0	0	0	0	0	0	1	1	V1	ロックされていないので、ウエイ0, 1ともにリフレッシュ可能。ウエイRをリフレッシュすると、REットは反転される。
		1				0	V0	1	
0	1	0	0	0	1	0	1	V1	ロックされたセットに対するミスときは、ウエイRのみリフレッシュする。REットは変化しない。
		1				1	V0	1	
1	0	0	0	0	1	1	1	V1	ロックされていないので、ウエイRをリフレッシュする。REットは反転される。オートロック有効(DALc=1)なので、LEットをセット。
		1				0	V0	1	
1	1	0	0	0	1	0	1	V1	ロックされたセットに対するミスときは、ウエイRのみリフレッシュする。すでにロックされているので、REットは変化しない。
		1				1	V0	1	

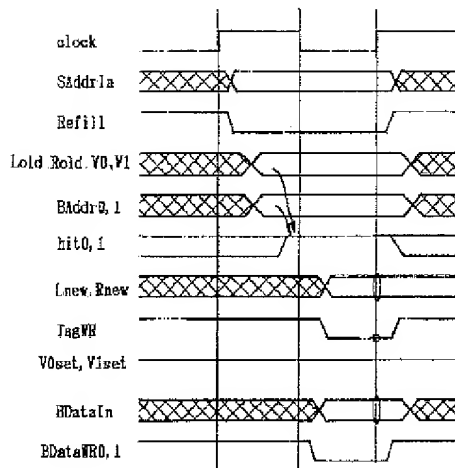
【図4】



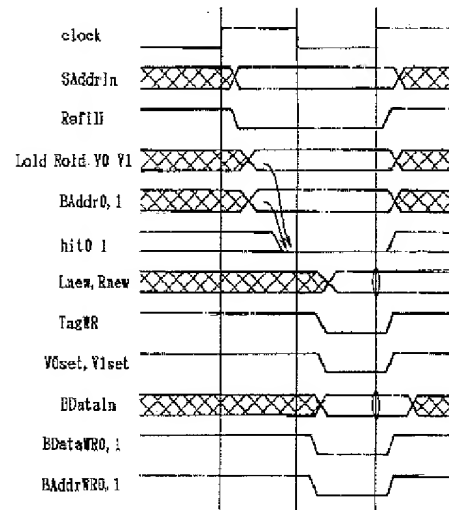
【図5】



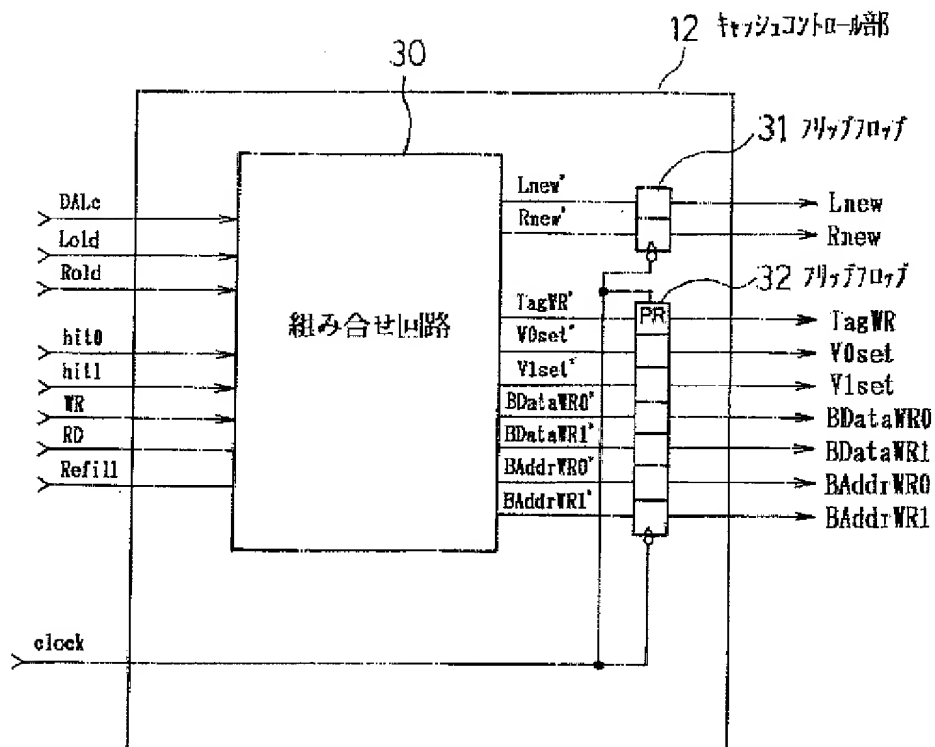
【図 6】



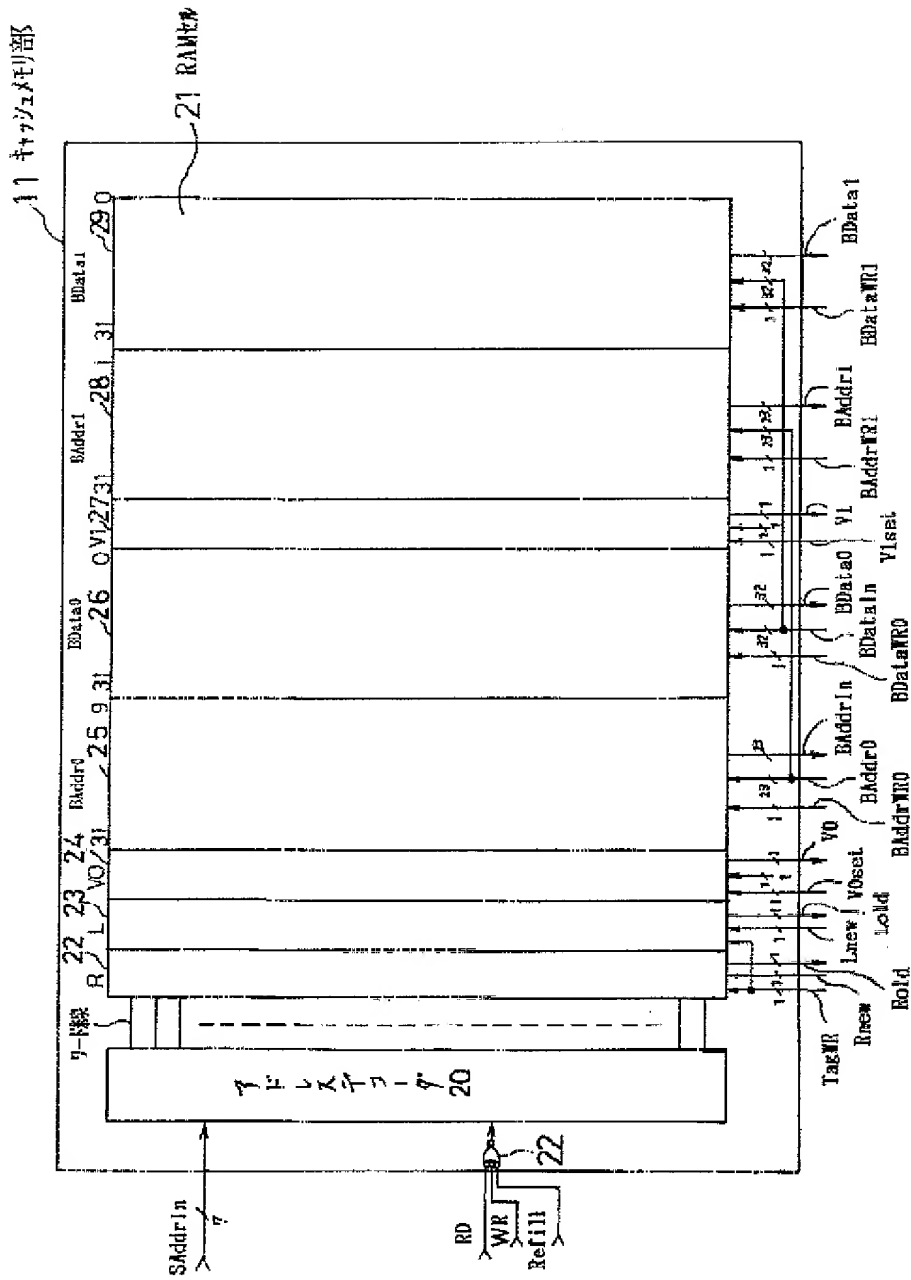
【図 7】



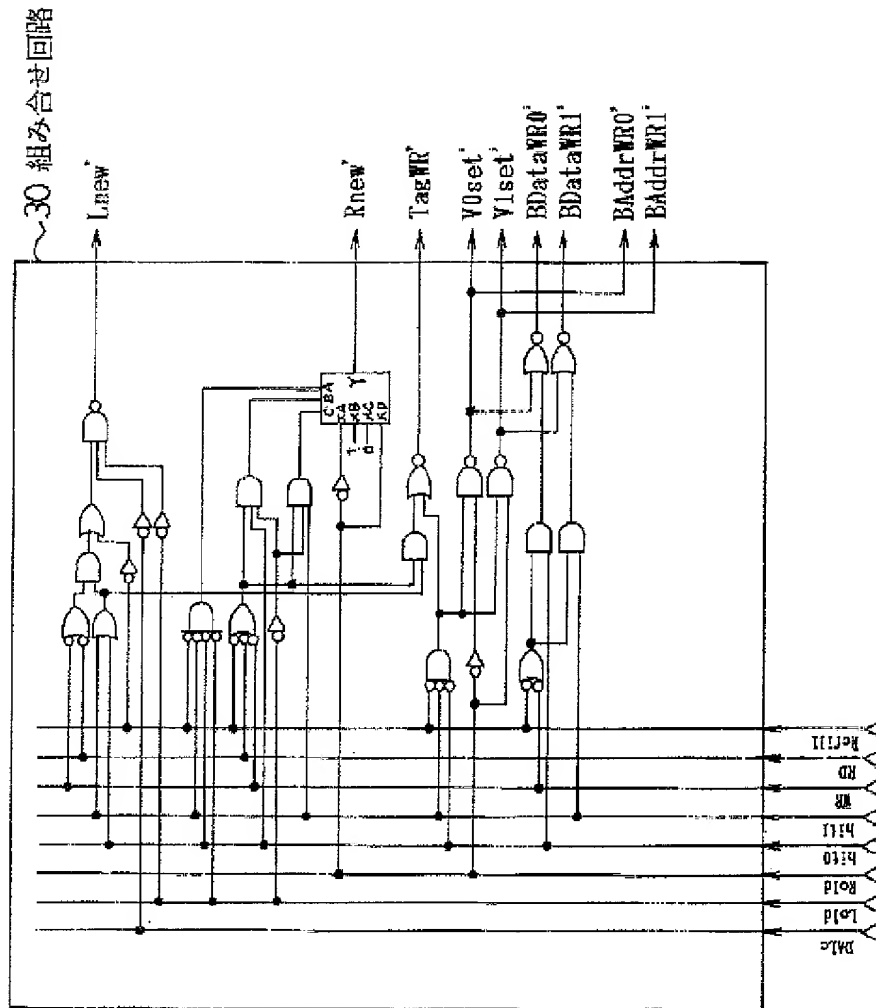
【図 9】



【図8】



【図 10】



【図11】

